

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷**H01L 27/02**

H01L 29/76



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 95195456.3

[43] 授权公告日 2003 年 1 月 22 日

[11] 授权公告号 CN 1099713C

[22] 申请日 1995.12.8 [21] 申请号 95195456.3

[30] 优先权

[32] 1995. 4. 6 [33] US [31] 08/419,637

[86] 国际申请 PCT/US95/16170 1995.12.8

[87] 国际公布 W096/31907 英 1996.10.10

[85] 进入国家阶段日期 1997.4.3

[71] 专利权人 工业技术研究院

地址 美国加利福尼亚州

[72] 发明人 柯明道 吴天祥 王国峰

[56] 参考文献

EP 0492991A2 1992.07.01 H01L21/322

EP 0546698A1 1993.06.16 H01L27/02

审查员 樊晓东

[74] 专利代理机构 上海专利商标事务所

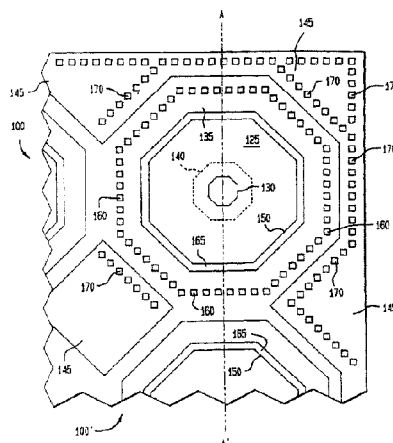
代理人 张政权

权利要求书 3 页 说明书 8 页 附图 8 页

[54] 发明名称 用 N 边多边形单元布线的 MOS 单元、多单元晶体管及 IC 芯片

[57] 摘要

揭示一种 MOS 晶体管单元 (100), 供诸如在 ESD 保护电路、输出缓冲器等中用的多单元晶体管。此晶体管单元具有规则的 N 边多边形的几何形状, 这里 $N \geq 8$ 。在衬底中设有占用规则 N 边多边形边界面积的漏极区 (125)。包围漏极区的是沟道区 (165), 它占用 N 边多边形的面积。包围沟道区的是在衬底中形成的源极, 它占用具有 N 边多边形边界的环形面积。



ISSN 1008-4274

知识产权出版社出版

1. 一种 MOS 单元, 其特征在于包括:
在衬底中形成并占用规则 n 边多边形的漏极区, 这里 $n \geq 8$;
- 5 包围所述漏极区并占用具有 n 边多边形边界的环形的沟道区; 以及
在所述衬底中形成的包围所述沟道区并占用具有 n 边多边形边界的环形的源极区。
2. 如权利要求 1 所述的 MOS 单元, 其特征在于还包括:
在所述衬底中所述漏极区下方形成的具有与所述漏极区相同的导电类型的 n
- 10 边多边形边界的阱。
3. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于还包括:
在所述漏极上形成的漏极接触;
在所述源极上形成的源极接触; 以及
在所述沟道上形成的栅氧化层;
- 15 其中把所述漏极接触和所述栅氧化层之间的间隔增至最大而把所述源极接触和所述栅氧化层之间的间隔减至最小, 从而减少所述单元占用的总面积。
4. 如权利要求 3 所述的 MOS 单元, 其特征在于漏极接触和源极接触在 MOS 单元的同表面上形成。
5. 如权利要求 3 所述的 MOS 单元, 其特征在于漏极接触具有所述 n 边多边形
- 20 形状。
6. 如权利要求 3 所述的 MOS 单元, 其特征在于源极接触包括以 n 边多边形环排列的许多接触。
7. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于所述沟道区如此构成, 从而流过所述沟道区的电流沿径向是均匀的。
- 25 8. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于所述 MOS 单元是 ESD 保护电路的一部分。
9. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于所述 MOS 单元是输入或输出缓冲器电路的一部分。
10. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于所述 MOS 单元是一 NMOS
- 30 单元。
11. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于所述 MOS 单元是一 PMOS 单元。
12. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于所述 MOS 单元是一互补 MOS (CMOS) 单元。

13. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于沟道区具有内边界和外边界, 这些边界都具有所述 n 边多边形形状。

14. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于源极区具有内边界和外边界, 这些边界都具有所述 n 边多边形形状。

5 15. 如权利要求 1 或 2 所述的 MOS 单元, 其特征在于漏极区占用基本上实心的规则 n 边多边形形状。

16. 一种多单元晶体管, 其特征在于包括:

具有共连的相同区域的多个相同单元, 每个所述单元包括:

在衬底中形成并占用规则 n 边多边形的漏极区, 这里 $n \geq 8$;

10 包围所述漏极区并占用具有规则 n 边多边形边界的环形区域的沟道区; 以及在所述衬底中形成的包围所述沟道区并占用具有规则 n 边多边形边界的环形区域的源极区。

17. 如权利要求 16 所述的多单元晶体管, 其特征在于每个所述单元还包括:

15 在所述衬底中所述漏极区下方形成的具有与所述漏极区相同的导电类型的 n 边多边形边界的阱。

18. 如权利要求 16 或 17 所述的多单元晶体管, 其特征在于所述多个单元形成 NMOS 器件, 所述多单元晶体管还包括形成 PMOS 器件的具有共连的相同区域的第二多个相同单元, 所述第二多个相同单元中的每个单元包括:

在衬底中形成并占用规则 n 边多边形的漏极区, 这里 $n \geq 8$;

20 包围所述漏极区并占用具有规则 n 边多边形边界的环形区域的沟道区; 以及在所述衬底中形成的包围所述沟道区并占用具有规则 n 边多边形边界的环形区域的源极区。

19. 如权利要求 16 或 17 所述的多单元晶体管, 其特征在于每个单元是一互补 MOS (CMOS) 单元。

25 20. 如权利要求 16 或 17 所述的多单元晶体管, 其特征在于沟道区具有内边界和外边界, 这些边界都具有所述 n 边多边形形状。

21. 如权利要求 16 或 17 所述的多单元晶体管, 其特征在于源极区具有内边界和外边界, 这些边界都具有所述 n 边多边形形状。

30 22. 如权利要求 16 或 17 所述的多单元晶体管, 其特征在于漏极区占用基本上实心的规则 n 边多边形形状。

23. 如权利要求 16 或 17 所述的多单元晶体管, 其特征在于每个单元具有漏极接触和源极接触, 漏极和源极接触在该单元的同表面上形成。

24. 如权利要求 23 所述的多单元晶体管, 其特征在于漏极接触具有所述 n 边多边形形状。

25. 如权利要求 23 所述的多单元晶体管, 其特征在于源极接触包括以 n 边多边形环排列的许多接触。

26. 一种 IC 芯片, 其特征在于包括由具有共连的相同区域的多个相同单元形成的多单元晶体管, 每个所述单元包括;

5 在衬底中形成并占用规则 n 边多边形的漏极区, 这里 $n \geq 8$;

包围所述漏极区并占用具有 n 边多边形形状边界的环形面积的沟道区; 以及在所述衬底中形成的包围所述沟道区并占用具有规则 n 边多边形边界的环形面积的源极区。

27. 如权利要求 26 所述的 IC 芯片, 其特征在于每个所述单元还包括:

10 在所述衬底中所述漏极区下方形成的具有与所述漏极区相同的导电类型的 n 边多边形边界的阱。

28. 如权利要求 26 或 27 所述的 IC 芯片, 其特征在于还包括连到所述多单元晶体管的焊接区。

29. 如权利要求 26 或 27 所述的 IC 芯片, 其特征在于还包括由具有共连的相同区域的多个相同单元形成的第二多单元晶体管, 每个所述单元包括:

15 在衬底中形成并占用规则 n 边多边形的漏极区, 这里 $n \geq 8$;

包围所述漏极区并占用具有规则 n 边多边形边界的环形面积的沟道区;

在所述衬底中形成的包围所述沟道区并占用具有规则 n 边多边形边界的环形面积的源极区; 以及

20 连到所述多单元晶体管的焊接区。

30. 如权利要求 26 或 27 所述的 IC 芯片, 其特征在于每个单元是一互补 MOS (CMOS) 单元。

31. 如权利要求 26 或 27 所述的 IC 芯片, 其特征在于沟道区具有内边界和外边界, 这些边界都具有所述 n 边多边形形状。

25 32. 如权利要求 26 或 27 所述的 IC 芯片, 其特征在于源极区具有内边界和外边界, 这些边界都具有所述 n 边多边形形状。

33. 如权利要求 26 或 27 所述的 IC 芯片, 其特征在于漏极区占用基本上实心的规则 n 边多边形形状。

34. 如权利要求 26 或 27 所述的 IC 芯片, 其特征在于每个单元具有漏极接触和源极接触, 漏极和源极接触在该单元的同一表面上形成。

30 35. 如权利要求 34 所述的 IC 芯片, 其特征在于漏极接触具有所述 n 边多边形形状。

36. 如权利要求 34 所述的 IC 芯片, 其特征在于源极接触包括以 n 边多边形环排列的许多接触。

用 N 边多边形单元布线的 MOS 单元、多单元晶体管及 IC 芯片

5 相关申请

以下诸专利申请由此转让给本专利的受让人，并包含与本专利申请主题相关的主题：

1. 柯明道和吴天祥在 1995 年 4 月 6 日提交的第 08/419,650 号，题名为“CMOS 芯片上四—LVTSCR ESD 保护方案”的美国专利申请，

10 2. 柯明道和吴天祥在 1995 年 4 月 6 日提交的第 08/419,636 号，题名为“具有增强的高 ESD 保护能力的 CMOS 输出缓冲器”的美国专利申请，以及

3. 柯明道和吴天祥在 1995 年 4 月 6 日提交的第 08/419,638 号，题名为“自无门锁效应的全保护 CMOS 芯片上的 ESD 保护电路”的美国专利申请。通过文献把上列诸专利申请的内容结合在这里。

15

技术领域

本发明涉及集成电路(IC)的布线设计和制造。本发明尤其涉及可用于静电放电(ESD)保护装置和输出缓冲器中的多单元晶体管的布线设计。

20 背景技术

随着光刻分辨率的提高，可使 CMOS IC 电路的元件作得越来越小。然而，由于 CMOS 元件的特征尺寸被按比例缩小到亚微米范围，所以某些先进的 CMOS 元件，诸如较薄的栅氧化物、较短的沟道长度、较浅的源/漏结、轻度掺杂的漏区(LDD)结构以及硅化物扩散区等均变得易受 ESD 事件。参见 C. Duvvury 和 A. Ameraskera
25 《ESD：对 IC 工艺技术普遍涉及的可靠性》，Proc. of IEEE, Vol. 81, no. 5, pp. 690—702, May 1993；以及 A. Ameraskera 和 C. Duvvury 《工艺技术按比例改变对 ESD 耐久性和保护电路设计的影响》，1994 EOS/ESD Symp. Proc., EOS-16, pp. 237—45。

图 1 示出连到输入焊接区(pad) 12 的 CMOS ESD 保护装置 10。如图所示，
30 CMOS ESD 保护装置包括 PMOS 晶体管 14 和 NMOS 晶体管 16，每个晶体管的漏极都并联到输入焊接区 12。(通常，输入焊接区 12 由键合丝连到 IC 芯片的相应引脚。)输入焊接区也通过电阻器 18 连到 IC 的内部元件。当发生 ESD 事件时，NMOS 和 PMOS 晶体管触发，从而吸收 ESD 电压，后者要不然的话将使 IC 芯片

的内部元件遭受破坏。

虽然这里用诸如图 1 所示的 CMOS ESD 保护电路来说明本发明，但众所周知，还有使用双极型晶体管(BJT)技术的其它类型的 ESD 保护电路。参见第 5,218,222、5,270,565 和 5,272,371 号美国专利。第 5,272,371 号美国专利示出—
5 在输入焊接区下形成的 BJT ESD 保护装置。将整个 BJT ESD 保护装置和输入焊接区设计成八边形。

图 2 示出用于以任意阻抗驱动负载的输出缓冲器 20。此输出缓冲器 20 设计成可在大电流下以任意阻抗驱动负载，而与此同时减少由 IC 芯片的寄生电抗(诸如键合丝电感)引起的瞬时响应。如图所示，从 IC 芯片的预置缓冲器输出的信号
10 并联输入到 PMOS 晶体管 24 和 NMOS 晶体管 26 的栅极。PMOS 和 NMOS 晶体管 24 和 26 的漏极并联到输出焊接区 22。PMOS 和 NMOS 晶体管 24 和 26 把从预置缓冲器接收到的信号输出到输出焊接区 22(它通常通过键合丝连到相应的引脚)。于是，PMOS 和 NMOS 晶体管 24 和 26 驱动或吸收来自输出负载以及 IC 芯片瞬时寄生电抗的电流，从而减少这样一类对响应的瞬时贡献。

15 为了在大规模 CMOS IC 中保持类似的 ESD 耐久性，通常增加 ESD 保护装置的尺寸。同样，尺寸增加的输出缓冲器可驱动或吸收较重的负载。例如，NMOS 和 PMOS 晶体管的尺寸可以是几百微米。具有这样一种大尺寸的输出缓冲器通常配置在低电压的 IC(即，漏极电压 $V_{DD} = 3.3V$ 或 $2.5V$ 等)中。

从实际的观点看，这对于引脚数可能超过 200 个的高集成度 IC 将会产生问题。在这样高引脚数的 IC 中，必须把用于每个引脚的焊接区间距减少到大约 100
20 微米。同样，也限制了与每个输入焊接区相关的用于 ESD 电路的布线面积(包括包围和隔离 ESD 保护电路门锁保护环在内)。

用于 CMOS ESD 保护装置的第一种布线样式示于图 3。称这样一种布线样式为指形或梯形布线样式。虽然为了说明示出的指形布线样式用于 NMOS 晶体管，
25 但也可采用这样的指形布线式样来实现 PMOS 晶体管。如图所示，漏极 52 和源极 54 的似指形区域相互交插。栅极 58 之下的沟道区 56 将交插的漏极和源极指 52 和 54 隔开。指形布线样式通过增加给定 MOS 晶体管整个布线面积的有效沟道宽长(W/L)比来提高 MOS 晶体管的性能。(注意沟道长度沿沟道电流流动的方向测量，而沟道宽度则沿与其垂直的方向测量。)由 ESD 耐久性的提高或输出缓冲
30 器吸收/驱动能力的增加来反映此提高的性能。

用于 CMOS ESD 保护装置的第二种布线样式示于图 4。称这样一种布线为 waffle 布线样式。参见 Baker、R. Currence、S. Law、M. Le、S. T. Lin & M. Teene，《增强 NMOS 输出晶体管 ESD 硬度的 Waffle 布线技术》，1989 EOS/ESD Symp、Proc、EOS-11,p.178—81。如图所示，MOS 晶体管具有形成似 waffle

形图案的多个栅极线 60。栅极线使源极 64 和漏极 62 相互隔开。每个漏极区 62 的四条边被源极区 64 所包围。waffle 形布线样式提供比图 3 所示指形布线样式更高的 MOS 晶体管性能。尤其是，对于对称的源极和漏极区，waffle 形布线样式的晶体管可以使用少约 10 % 的布线面积来实现与指形布线样式晶体管同样的 W/L 比。

不管这些改进的布线样式如何，对于 ESD 保护电路、输出缓冲器等甚至要求减少更多的 IC 芯片面积。近来，研究了 MOS 晶体管的尺寸与 MOS 晶体管发生失效的关系。参见 S. Daniel & G. Krieger, 《先进的 CMOS I/O ESD 保护装置的工艺和和设计优化》，1990 EOS/ESD, p.206-213。这些研究表明,漏极接触边缘和栅氧化层边缘之间的间隔是一关键性的设计参数。这是因为大多数 MOS 晶体管的失效倾向于发生在漏极区的这一部分。研究还表明通过增加漏极接触和栅氧化层边缘之间的间隔可提高 ESD 保护装置的 ESD 保护能力。事实上，亚微米 IC 技术中大约 5 到 6 微米的最小间隔有助于提供所希望的 ESD 保护能力。源极接触边缘对栅氧化层边缘的间隔不必象漏极接触边缘对栅氧化层边缘间隔那样大，且可减少（如可能），以节省 MOS 晶体管布线中的整个空间。

然而，此间隔考虑可用于优化指形布线样式的晶体管，但不能优化 waffle 形布线样式的晶体管。这是因为 waffle 形布线样式中存在有几何形状的限制，而指形布线样式中则不存在这些限制。尤其是，在指形布线样式中，源极接触边缘到栅氧化层边缘的间隔可减少到大约 1 微米，而与使漏极接触边缘到栅氧化层边缘的间隔大约为 5-6 微米无关，以达到布线面积的全面节省。然而，waffle 形布线样式所占用的布线面积却由漏极接触边缘到栅氧化层边缘的间隔和源极接触边缘到栅氧化层边缘的间隔中较大的一个间隔加以固定。这样，在 waffle 形样式的布线中不可能通过减少源极接触边缘到栅氧化层边缘的间隔来节省所占用的布线面积。结果，与 waffle 形布线样式相比，对于给定的 W/L 比，优化的指形布线样式将占用较小的面积。

注意在指形样式的布线中，在诸指形源极和漏极之间有不均匀的导通现象。也即，一些源极和漏极指对大部分的 ESD 电流进行放电，而其它源极和漏极指则保持断开。参见 T.L. Polgreen & A. Chatterjee, 《通过保证均匀的电流流动来提高硅化物 NMOS 输出晶体管的 ESD 失效阈值》IEEE Trans. Elec. Devs., Vol.39,no.2,pp.379 - 88(1992); 以及 C. Duvvury, C. Diaz & T. Haddock, 《实现用于亚微米 ESD 可靠性的均匀 NMOS 器件的功率分布》,1992 IEDM Tech.Dig., pp.131 - 34。这样，指形布线样式尺寸的增加由于指间非均匀电流流动而导致 ESD 耐久性的提高较小。

本发明的一个目的是克服先前技术的这些缺点。

发明内容

通过使晶体管单元设有用于多单元 CMOS 晶体管的规则 n 边多边形的本发明来实现这些和其它目的。在此单元中, $n \geq 8$ 。例如, 依据一个实施例, 该单元包括一设在衬底中占用 n 边多边形面积的漏极区。包围漏极的是占用具有 n 边多边形边界的环形面积的沟道区。包围沟道区的是设在衬底中占用具有 n 边多边形边界的环形面积的源极区。

对于这样一种几何形状, 漏极和源极区相互可具有任意的尺寸。此外, (金属) 漏极和源极接触可置于相对于沟道上栅氧化层的漏极和源极区上, 从而以全面节省单元所占用的面积的方式使漏极接触边缘到栅氧化层边缘的间隔达到最大。尤其是, 由于源极、栅氧化层和漏极的径向几何形状关系, 所以与源极接触相比, 栅氧化层可离漏极接触相对更远。这利用了大多数单元失效倾向于发生在漏极接触和栅氧化层边缘之间这一事实, 从而把单元占用的面积减至最小。

此外, 源极、漏极和栅极的对称几何形状倾向于使单元中的沟道电流沿径向均匀化。从理论上讲, 当 n 趋向无穷大时, 源极、漏极和栅极倾向于占用具有实际上沟道电流沿径向均匀的圆形(环形)面积。

如上所述, 例如把 ESD 保护装置的 NMOS 和 PMOS 晶体管、输出缓冲器等的一个均由以二维阵列状图案布置在衬底上的多个单元加以形成。

总之, 提供一具有均匀沟道电流流动的改进过的晶体管单元布线样式。此外, 对于所希望的 W/L 比, 可以减少单元所占用面积的方式来增加漏极接触边缘到栅氧化层边缘的间隔, 和减少源极接触边缘到栅氧化层边缘的间隔。

附图概述

图 1 示出常规的 ESD 保护电路。

图 2 示出常规的输出缓冲器电路。

图 3 示出常规的指形布线样式。

图 4 示出常规的 Waffle 形布线样式。

图 5 示出依据本发明一个实施例的多边形布线样式的俯视图。

图 6 示出图 5 所示布线的剖面图。

图 7 示出依据本发明的第一多单元布线。

图 8 示出依据本发明的第二多单元布线。

图 9 示出依据本发明的第三多单元布线。

图 10 示出使用常规焊接区的一个 IC 和使用依据本发明的焊接区的另一 IC。

本发明较佳实施方式

图 5 示出依据本发明的 MOS 晶体管单元 100 的俯视图。在其中也示出相邻 MOS 晶体管 100' 的一部分，以说明单元的大概位置。被单元 100 占用的面积具有普通 n 边规则(即，边长相等)多边形的形状，这里 $n > 8$ 。作为图示说明，示出单元 100 中的 $n = 8$ 。

单元 100 具有占用规则 n 边多边形面积的中央漏极接触 130。漏极接触 130 位于衬底 105 中形成的中央漏极区 125 上。中央漏极区 125 也占用具有规则 n 边多边形的面积。设置延伸入衬底 105、且的深度大于漏极区 125 的掩埋阱 140(如图 6 所示)。阱 140 的外部边界以虚线示出。掩埋阱也占用具有规则 n 边多边形的面积。漏极 125、漏极接触 130 和阱区 140 的每一个都位于单元 100 的中央。如图所示，漏极接触 130 比阱 140 占用较小面积的规则 n 边多边形而阱 140 又比漏极区 125 占用较小面积的规则 n 边多边形。

形状的区域比漏极区 125 所占用的区域小。

包围漏极区 125 的是在沟道 165 上方的衬底上形成的栅极 150(图 6)。栅极 150 和沟道 165 两者均占用具有 n 边规则多边形的内部和外部边界的环形面积。包围环形栅极 150 和沟道 165 的是在衬底 105 中形成的源极区 135。与栅极 150 和沟道 165 相同，源极区 135 占用具有 n 边规则多边形的内部和外部边界的环形面积。

在源极区 135 的表面上设有多个源极接触 160。源极接触 160 以 n 边规则多边形的结构排列。包围源极区 135 的是衬底接触区 145。衬底接触区 145 可具有诸如外围区域一类的任意区域，后者包围在结合有包括单元 100、100' 在内的多单元矩形布线区域中单元 100、100' 的周围，在衬底接触区 145 上形成衬底接触 170。示出的衬底接触均匀地分布于单元 100 的外围。

图 6 示出沿 A-A' 线所取的单元 100 的剖面图。如图所示，单元 100 是一输出缓冲器的 NMOS 器件，虽然该设计同样也应用于 PMOS 器件和 ESD 保护装置。单元 100 的制造如下。首先，在单元 100 的衬底 105 表面上形成光致抗蚀剂层，并进行光刻构图以暴露 N 阱 140 附近衬底 105 上的规则 n 边多边形部分。于是通过离子注入形成 N 阱 140。

然后除去光致抗蚀剂，并在衬底 105 表面淀积薄的栅氧化层。接着在薄的栅氧化层上淀积薄的多晶硅栅层。随后对薄的栅氧化层和薄的多晶硅栅层进行光刻构图，以暴露漏极 125 附近规则 n 边多边形区域以及源极 135 附近规则 n 边多边形区域。然后把杂质扩散入衬底中的暴露区域，以形成自对准的源极 135 和漏极 125 区域。

使用类似于形成区域 125 和 135 所用的扩散工艺形成所示的衬底接触区 145。其后，在薄的多晶硅栅上淀积另一氧化层(由薄多晶硅层的光刻构图而得)

并进行各向异性腐蚀,以形成栅极区 150。在形成栅极 150 后,形成金属化接触 130、160 和 170(图 5)。可以诸如铝或钨一类材料并使用诸如溅射一类各种工艺来形成此金属化。

图 5-6 所示的 MOS 晶体管单元 100 具有八边形的区域,即 $n = 8$ 。这倾向于使 ESD 电流沿径向均匀流过沟道 165。从理论上讲,圆形的几何形状提供最大的均匀度。然而,大多数计算机辅助设计(CAD)软件包不能布置出这样一种复杂几何形状的区域。事实上,八边形的布线区域是可取的,因为它们易于被大多数常用的 CAD 设计工具所接纳。随着将来 CAD 工具和掩模技术的改进,可期望增大 n 。注意当 n 接近于无穷大时, n 边多边形的区域接近于圆形区域。

把使用依据本发明的规则 n 边多边形布线样式的径向电流流动与指形布线样式的相对照。与指形布线样式中指间的电流流动是不均匀的相反,单元 100 中跨越沟道 165 的电流流动沿径向是相当均匀的。这样,漏极和源极区 125 与 135 中的每个部分对 ESD 或输出缓冲器的电流降低/驱动有近似相等的贡献。

源极 135、栅极 150 和漏极 125 的径向布局使独立改变源极和漏极的尺寸成为可能。此外,与至漏极接触 130 的边缘相比,可将栅极 150 的栅氧化层边缘置于可更靠近于源极接触 160 的边缘,以达到单元 100 所占用布线面积的全面节省。即,通过减少源极接触边缘到栅氧化层边缘的间隔,可使单元 100 的面积作得更小,而不必牺牲单元的性能(回想极大多数的 MOS 晶体管失效发生在漏极接触和栅氧化层边缘之间)。例如,漏极接触 130 的边缘与栅极 150 的栅氧化层边缘之间的距离约为 5 微米,而源极接触 160 的边缘与栅极 150 的栅氧化层边缘之间的距离则大约为 1 微米。

N 阱 140 的用途是防止当 ESD 应力感生接触尖脉冲事件期间在漏极接触 130 和 P 型衬底 105 之间形成短路。参见 C. Duvvury 《ESD: 对 IC 工艺技术普遍涉及的可靠性》, Proc. of The IEEE, Vol.8, no.173, 175 - 76, May, 1993。ESD 失效分析表明,对于 ESD 漏极接触,这样一种尖脉冲的 ESD 能量常导致漏极接触熔入(N^+)漏极扩散区 125 内。在高的 ESD 应力下,此熔化的金属可使漏极的(N^+)扩散区 125 断裂至(P)衬底 105 中,这转而会引起从输出焊接区(连到漏极接触 130)到地(经由 P^+ 区 145)的短路效应。N 阱 140 减少这样一种类似的尖脉冲效应,是由于其在 p 衬底 105 中的深度大于漏极区 125 的深度。在亚微米 CMOS 技术中 N^+ 扩散漏极区 125 的深度约为 0.2 ~ 0.3 微米,而 N 阱的深度则大约为 2 ~ 3 微米。如果由于 ESD 能量使接触 130(图 5)的金属熔入 N^+ 扩散区 125,则位于接触 130(图 5)正下方且比漏极的 N^+ 扩散区 125 深的阱 140 防止此熔化的金属到达 p 衬底 105。于是, N 阱 140 防止了漏极接触 130 的接触尖脉冲。

利用基本单元 100,通过使用诸如图 7 所示以二维阵列示意布线的多个单元

可构成较大尺寸的 NMOS(或 PMOS)晶体管。如图 7 所示，NMOS 器件 200 设置有六个单元 201、202、203、204、205 和 206。设置有双门锁保护环，以防止 V_{CC} 到 V_{SS} 的门锁。为 P^+ 扩散区的第一门锁保护环 210 通过接触 211 接地。为 N^+ 扩散区的第二门锁保护环 215 通过接触 216 连到 V_{DD} 。第二门锁保护环 215 包围整个 NMOS 器件。

单根引线 221、222 和 223 把单元 201-206 的漏极接触 231、232、233、234、235 和 236 连到焊接区总线 220。也提供一用于把内部电路(或预置缓冲器)230 连到栅极 271、272、273、274、275 和 276 的接触 280。单元 201-206 集中地形成例如，ESD 保护装置或输出缓冲器的单个 NMOS(或 PMOS)晶体管。通过由多个单元 201-206 形成晶体管，有可能增加给定布线面积下 ESD 单元的 ESD 耐久性(即 W/L 比)。

图 8 示出诸如图 2 所示输出缓冲器电路用完整的布线 300。输出缓冲器 300 具有从单元 311-316 形成的 PMOS 晶体管 310 和从单元 321-326 形成的 NMOS 晶体管。每个单元 311-316 和 321-326 的漏极都连到输出焊接区 330。在布线中也示出电压总线 V_{SS} 和 V_{DD} 。

图 9 示出另一输出缓冲器的布线 400，其中 NMOS 和 PMOS 晶体管各具有十五个单元。这样一种电路已适用于 W/L 比为 720/0.8(微米)的 0.6 微米 CMOS 技术中的输出缓冲器。下表 1 示出图 9 的布线与传统指形布线(图 3)之间的比较。

表 1

	指形(梯形)布线	N 边多边形布线
W/L(微米)	720/0.8	720/0.8
布线面积(平方微米)	112 × 100	110 × 74

这样，对于相等的 W/L 比，本发明的布线面积比指形布线样式的减少约 30%。

注意节省输出缓冲器和 ESD 保护电路的布线面积可减少 IC 芯片的成本。这样的布线节省也可用于 IC 内的其它晶体管，诸如总线驱动器。此多单元设计也可用于实现其它的 IC 元件，诸如厚氧化层器件，横向 BJT 和纵向 BJT。

还注意 n 边多边形样式的漏极扩散面积小于指形布线样式的。这转而减少了输出节点(输出缓冲器中)处由漏到体的寄生电容。于是，n 边的多边形布线样式更适合于高速 CMOS IC 芯片中的 CMOS 输出缓冲器。

不管由 IC 功能所决定的高引脚要求如何，实现连到输入或输出焊接区的本发明输出缓冲器的 ESD 保护电路总是需要最小的总布线面积。图 10 对带有常规输入/输出焊接区 420 的 IC 布线 410 与结合有具有本发明 ESD 保护电路或输出缓冲

器的输入/输出焊接区 440 的 IC 布线 430 进行了比较。焊接区 420、440 连到 IC 的内部电路 460。布线 410、430 都具有同样数目的引脚 450，然而，布线 430 却具有减少的总布线面积。这是因为具有发明的 ESD 保护电路或输出缓冲器的每个焊接区 440 的布线面积比常规的焊接区 420 减少了大约 30 %。

5 简言之，提供了用于多单元晶体管的规则 n 边多边形的布线，这里 $n > 8$ 。发明的布线提供均匀的沟道电流流动。此外，本发明允许增加漏极接触边缘到栅氧化层边缘的间隔和减少源极接触边缘到栅氧化层边缘的间隔，以减少单元的面积要求。

10 最后，以上讨论只是为了说明。可提供大量不同的实施例，而不背离以下权利要求书的精神和范围。

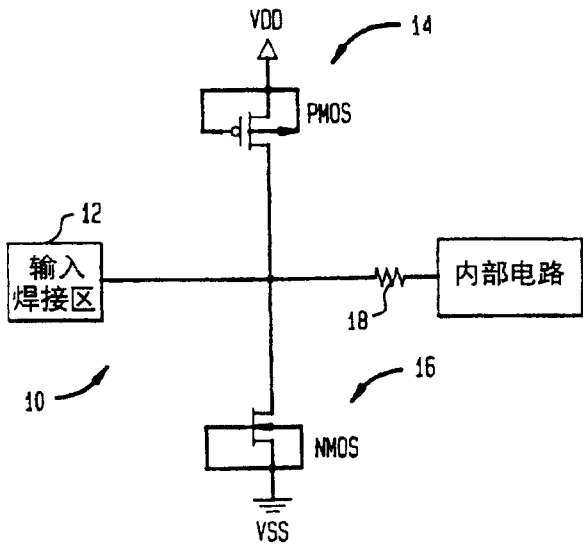


图 1

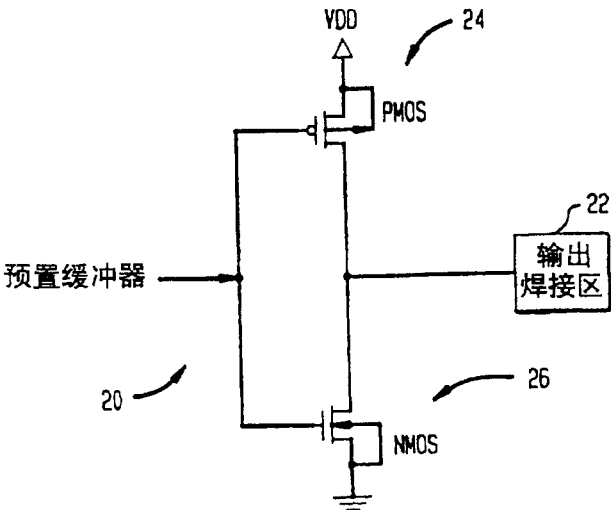


图 2

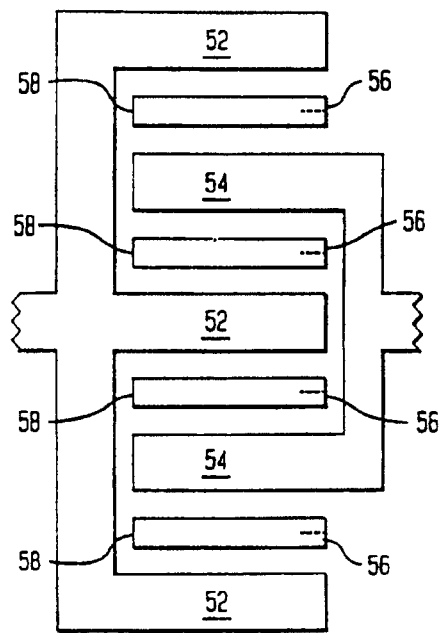


图 3

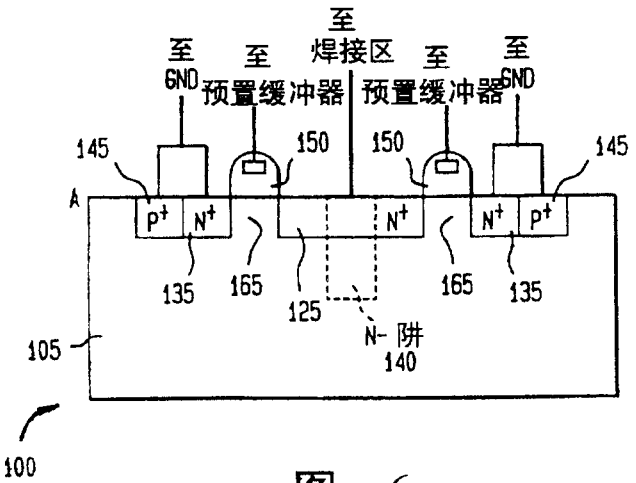


图 6

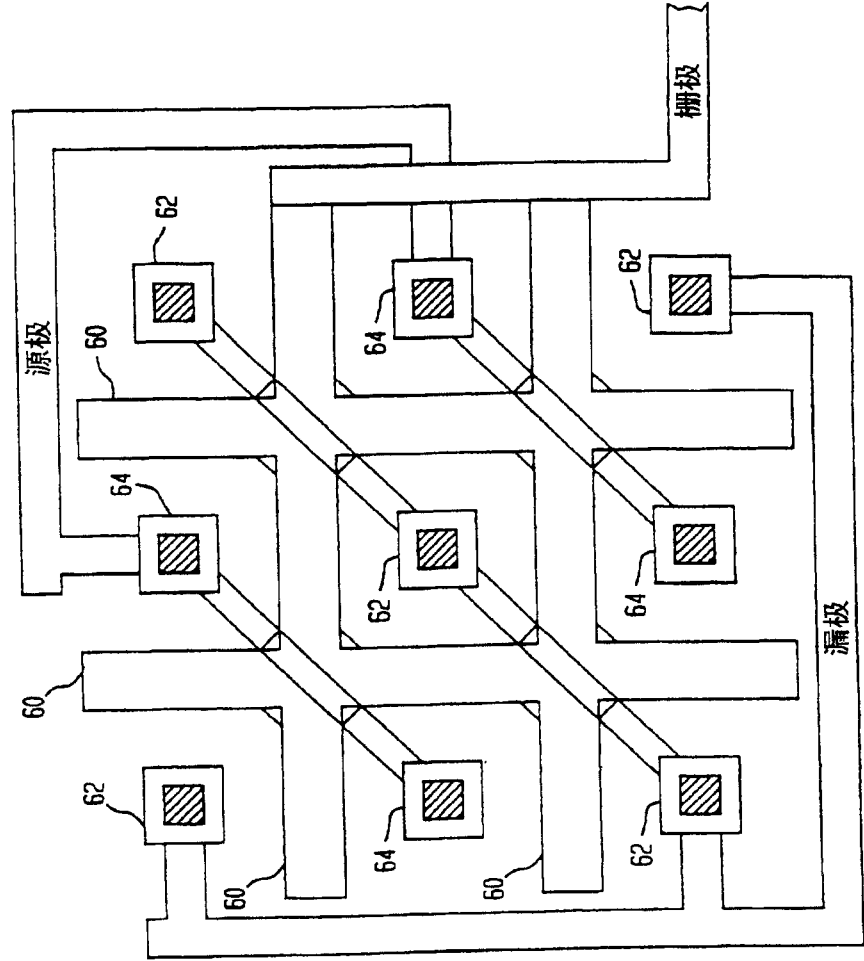


图 4

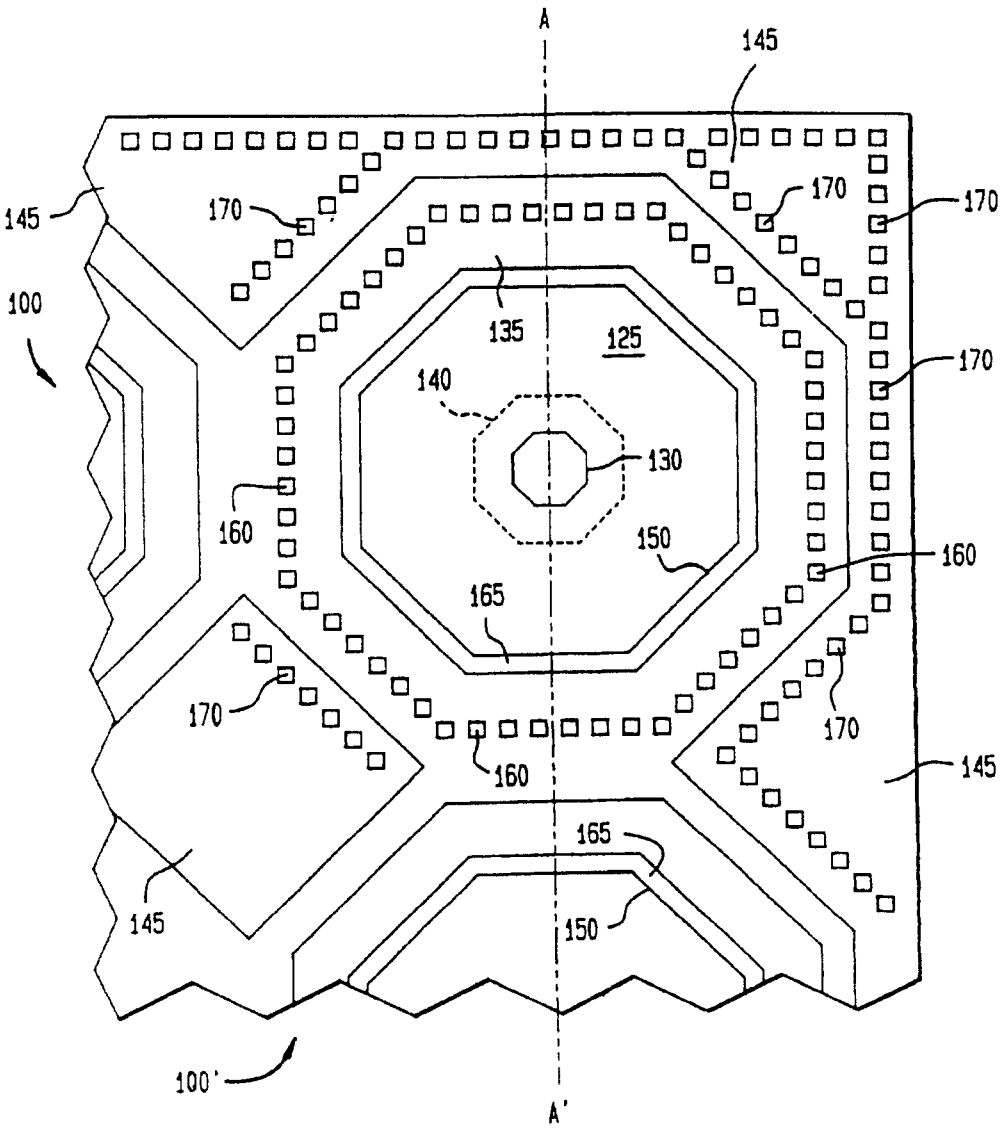


图 5

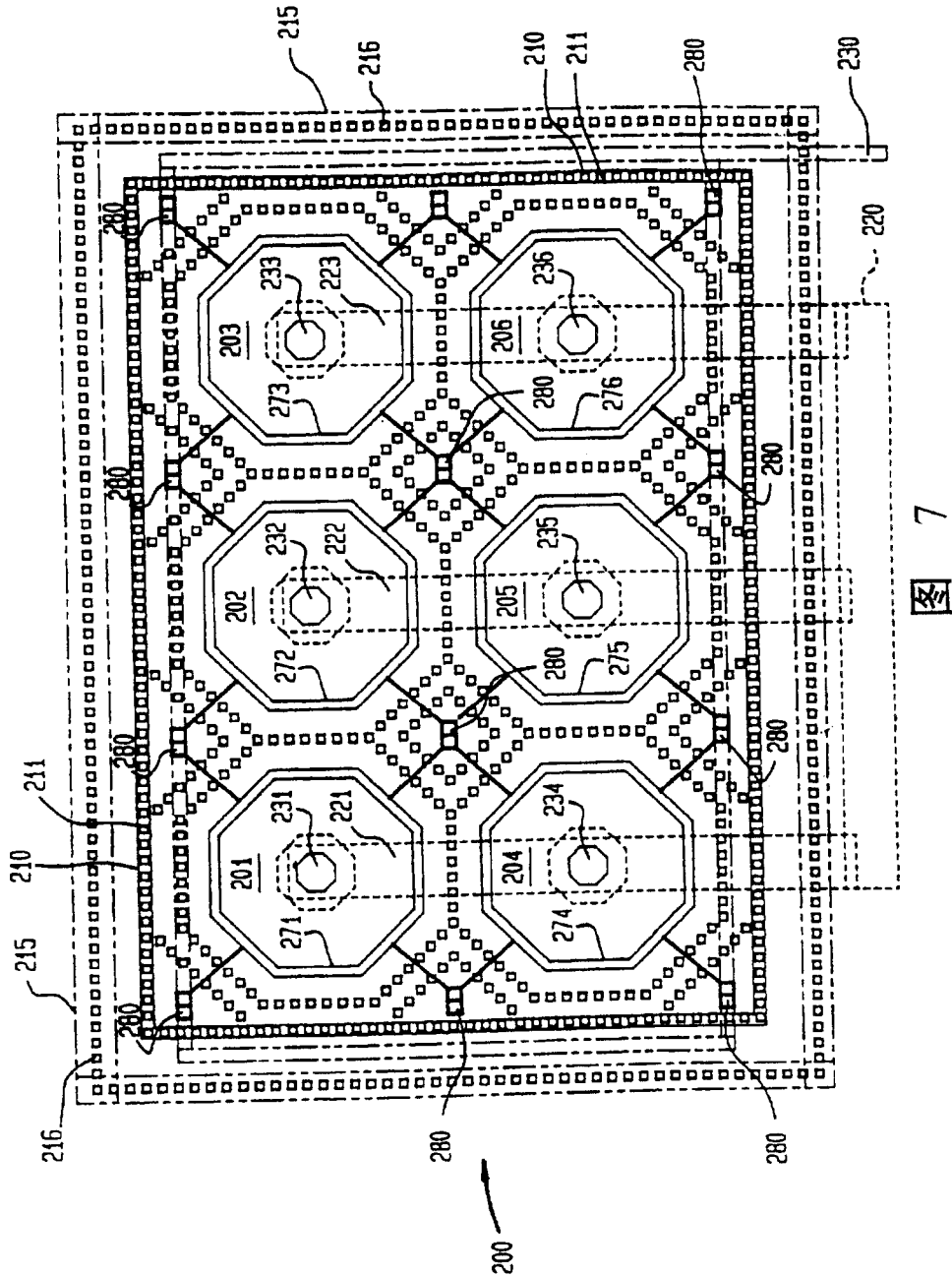


图 7

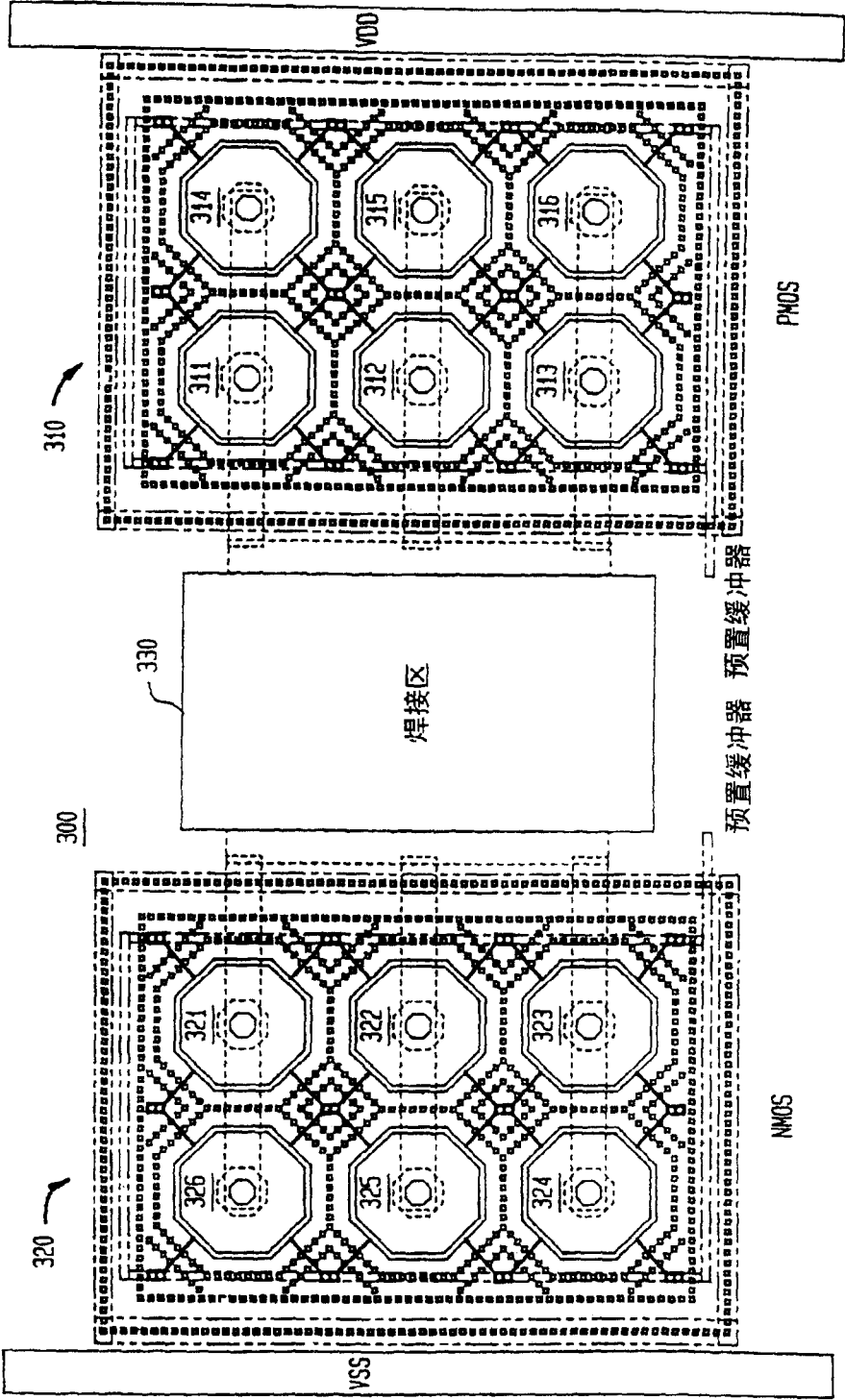


图 8

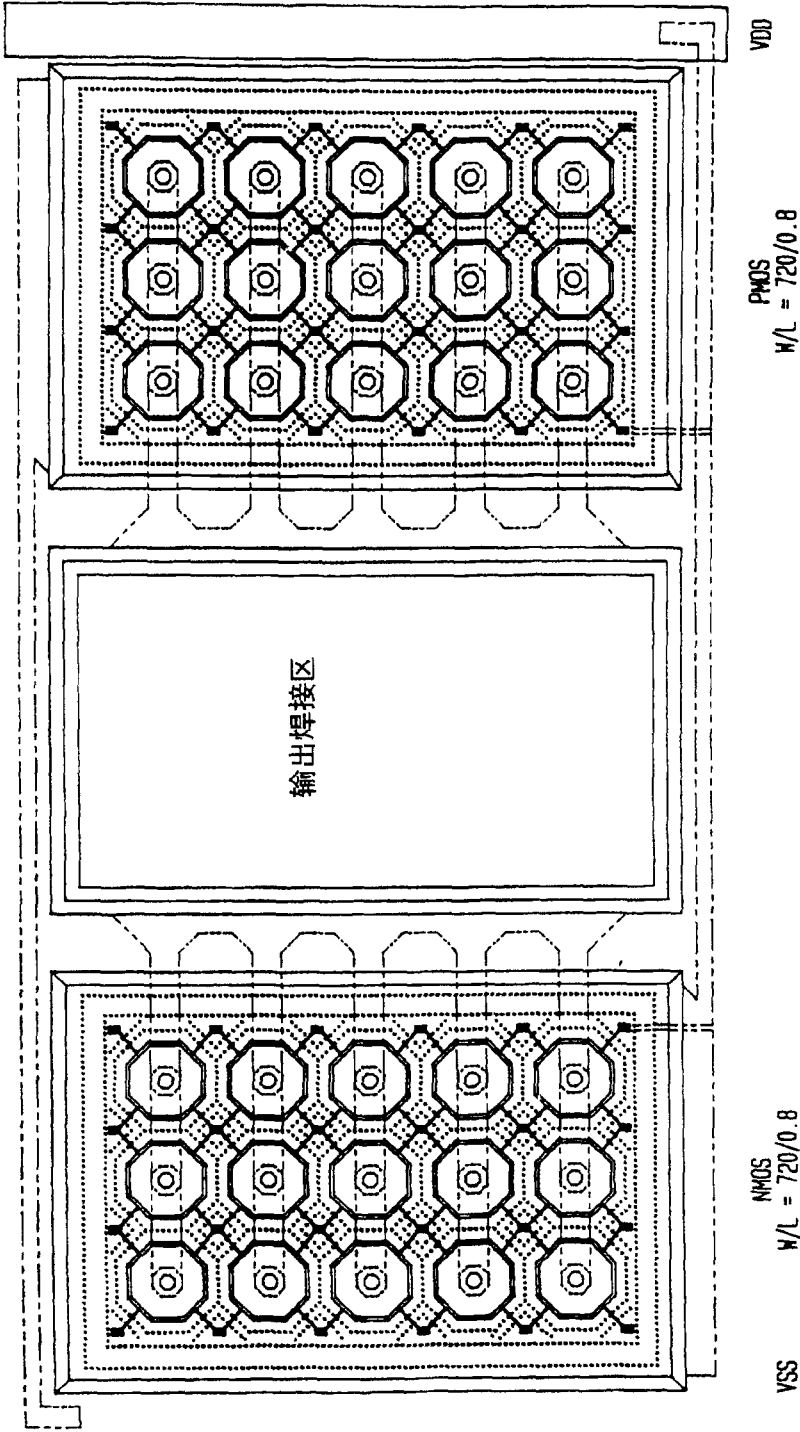


图 9

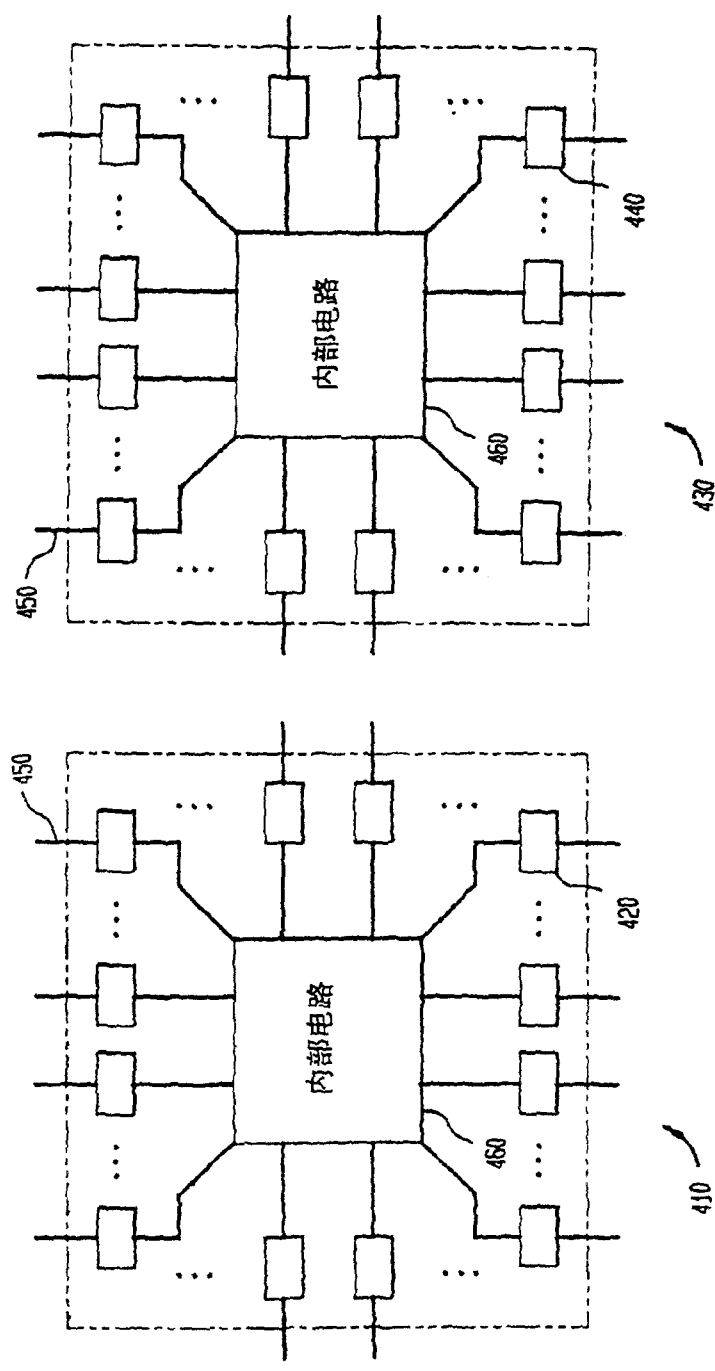


图 10